

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

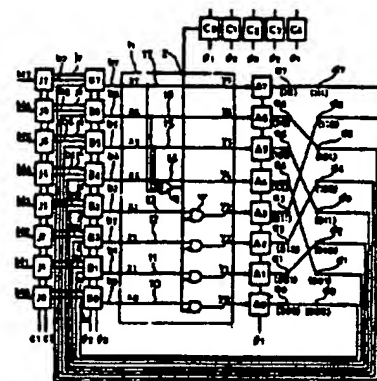
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) ENCODING CIRCUIT

(11) 4-243095 (A) (43) 31.8.1992 (19) JP
 (21) Appl. No. 3-18427 (22) 16.1.1991
 (71) MITSUBISHI ELECTRIC CORP (72) MASAOKI MIHARA
 (51) Int. Cl.⁶ G11C15/04, G06F15/40, H03H7/00, H03M7/00

PURPOSE: To obtain the encoding circuit which can shorten the time before a coincidence signal is converted to a prescribed address code when the coincidence signal from an associative memory is obtd. and can reduce a layout area.

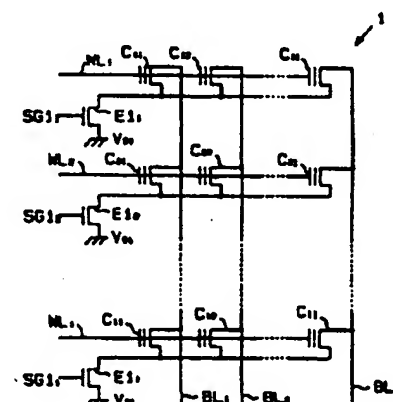
CONSTITUTION: The priority of the uppermost bit of the bits b_1 to b_r to be address encoded is determined by a gate circuit element (h) controlled by the 1st time ϕ_1 of the control clock corresponding to the number of bits of the data M_0 to M_r stored in the associative memory and the priority of the respective bits exclusive of the uppermost bit is determined by successively feeding the signals rotated by one bit back to the above-mentioned gate circuit element (h) by perfect shuffle connection.

**(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE**

(11) 4-243096 (A) (43) 31.8.1992 (19) JP
 (21) Appl. No. 3-3272 (22) 16.1.1991
 (71) FUJITSU LTD(1) (72) MASANOBU YOSHIDA(1)
 (51) Int. Cl.⁶ G11C16/06

PURPOSE: To prevent the generation of a reading out defect by the excessive erasing of cell transistors.

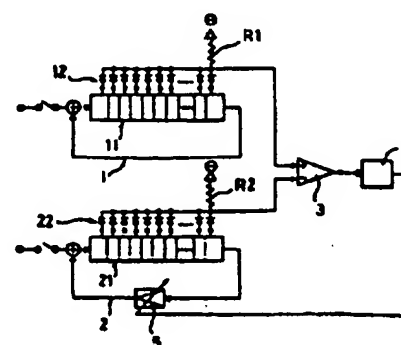
CONSTITUTION: A cell array 1 constituted by juxtaposing the flash erasing type cell TRs C in a line direction and a row direction is connected with common word lines WL to the cell TRs C juxtaposed in the line direction and common bit lines BL to the cell TRs C juxtaposed in the row direction. The writing or reading out of the cell information is executed by selecting the cell TRs C. Selecting elements E1 which can activate the selected cell TRs C only during the on operation are connected to the respective sources of the cell TRs C juxtaposed in the line direction and 1st selection signals SG1 which operate the selected elements E1 to turn on in synchronization with the selection of the word lines WL for selecting these lines are inputted to the selected elements E1.

**(54) ADJUSTING CIRCUIT FOR ANALOG SIGNAL WAVEFORM**

(11) 4-243097 (A) (43) 31.8.1992 (19) JP
 (21) Appl. No. 3-4231 (22) 18.1.1991
 (71) ADAMUSU SHISUTEMUZU K.K. (72) TOMOHIKO SUZUKI
 (51) Int. Cl.⁶ G11C27/04, G06F3/023, G06G7/04

PURPOSE: To allow the amplitudes or frequencies of two analog signals to coincide with each other by comparing the peak values of the amplitudes of the analog signals stored in two analog dynamic memories and regulating an amplification attenuation rate or circulation speed.

CONSTITUTION: The outputs of the 1st analog dynamic memory ADM 1 and the 2nd ADM 2 are impressed to the two inputs of a voltage comparator circuit 3. The output of the circuit 3 is inputted to a gain control circuit 4 and the gain and attenuation rate of a variable amplifier 5 inserted into a closed loop of the ADM 2 is adjusted. Then, the loop gain of the ADM 2 is adjusted and the amplitude of the signal stored in the ADM 2 is so regulated that the level of this signal coincides with the signal level of the loop of the ADM 2. The amplitudes of the analog signals stored in the two ADMs are made to coincide with each other in this way and the preprocessing for determining whether



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-243096

(43) 公開日 平成4年(1992)8月31日

(51) Int.Cl.³

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

9191-5L

G 1 1 C 17/00

3 0 9 B

審査請求 未請求 請求項の数 3 (全 7 頁)

(21) 出願番号 特願平3-3272

(22) 出願日 平成3年(1991)1月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通グイエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 吉田 正信

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 小椋 清則

愛知県春日井市高蔵寺町2丁目1844番2

富士通グイエルエスアイ株式会社内

(74) 代理人 弁理士 井桁 貞一

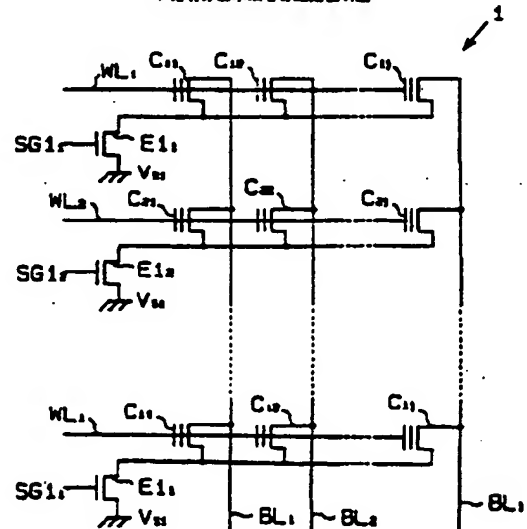
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 本発明は不揮発性半導体記憶装置に関し、セルトランジスタの過剰消去による読出し不良の発生を防止することを目的とする。

【構成】 フラッシュ消去型セルトランジスタCを行方向及び列方向に多数並設して構成するセルアレイ1は、行方向に並設されたセルトランジスタCには共通のワード線WLがそれぞれ接続され、列方向に並設されたセルトランジスタCには共通のビット線BLが接続され、ワード線WL及びビット線BLを選択することによりセルトランジスタCを選択してセル情報の書き込みあるいは読出しが行われる。そして、行方向に並設されたセルトランジスタCの各ソースにはオン動作時に限り選択された該セルトランジスタCを活性化可能とする選択素子E1が接続され、該選択素子E1には当該行を選択するワード線WLの選択と同期して該選択素子E1をオン動作させる第一の選択信号SG1が入力されるように構成する。

本発明の請求項1の回路図



【特許請求の範囲】

【請求項1】 電氣的に消去及び書き換え可能な不揮発性セルトランジスタ (Cij) を行方向及び列方向に多数並設してセルアレイ (1) を構成し、行方向に並設されたセルトランジスタ (Caj) には共通のワード線 (WL_a) をそれぞれ接続し、列方向に並設されたセルトランジスタ (Cin) には共通のビット線 (BL_a) を接続し、ワード線 (WL_a) 及びビット線 (BL_a) を選択することによりセルトランジスタ (Can) を選択してセル情報の書き込みあるいは読出しを行う不揮発性半導体記憶装置であって、前記した行方向に並設されたセルトランジスタ (Caj) の各ソースには選択された該セルトランジスタ (Caj) を活性化可能とする共通の第一の選択素子 (E1_a) を接続し、該選択素子 (E1_a) には当該行を選択するワード線 (WL_a) の選択と同期した第一の選択信号 (SG1_a) で該選択素子 (E1_a) をオン動作させ、セルトランジスタ (Caj) のドレインを電源 (Vs1) と電氣的に接続させることを特徴とする不揮発性半導体記憶装置。

【請求項2】 行方向に並設されたセルトランジスタ (Caj) の各ソースには前記選択素子 (E1_a) のオフ動作時に該セルトランジスタ (Caj) を非活性化する電源 (Vs2) を抵抗 (R1_a) を介して供給したことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 行方向に並設されたセルトランジスタ (Caj) の各ソースには前記選択素子 (E1_a) のオフ動作時に該セルトランジスタ (Caj) を非活性化する電源 (Vs2) を第二の選択素子 (E2_a) を介して供給し、該第二の選択素子 (E2_a) のゲートには前記第一の選択信号 (SG1_a) と同期する第二の選択信号 (SG2_a) を入力したことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は不揮発性半導体記憶装置に関するものである。近年、パーソナルコンピュータが低価格化されて一般普及が進み、これにともなって益々動作の高速化が図られている。このような状況においてCPUの磁気ディスクで構成される補助記憶装置へのアクセス時間が動作高速化の障害となり、これを解決するために補助記憶装置として半導体記憶装置を使用するようになりつつある。

【0002】 ところが、現在補助記憶装置として使用されている半導体記憶装置は主にDRAM (特にSRAMも使用されることもある。) であって、電源切断時には格納データが消去されてしまうため、電源バックアップ用の電池が必要となっている。一方、上記のような補助記憶装置として電氣的に書き換え可能な不揮発性半導体記憶装置であるEEPROM (Electrical Erasable Programmable Read Only Memory) が注目されはじめてい

るが、このEEPROMは1セルで2トランジスタを必要とする構成であるため、1セル当たりの占有面積が大きくなって製造コストが高いという問題点がある。そこで、セル占有面積が紫外線消去型のEPROM (Erasable Programmable Read Only Memory) と同程度の一括消去型 (フラッシュ消去型) のEEPROMの使用検討がなされている。

【0003】

【従来の技術】 EEPROMを構成するセルトランジスタは図8に示すようにフローティングゲートを有する二重ゲート構造のトンネル消去一アバランシュ書き込み型のセルトランジスタCで構成され、このセルトランジスタにデータ「0」を書き込む場合には図9に示すようにドレイン及びコントロールゲートに書き込み用高電圧V_{pp}を印加するとともにソースをグラウンドGNDに接続してフローティングゲートに電子を注入する。このような動作によりデータ「0」が書き込まれたセルトランジスタCでは図7に示す特性曲線D0で動作し、コントロールゲートに1/0判定電圧V_{0/1}すなわちセル選択信号が入力されてもドレイン-ソース間に電流IDSは流れずオフ状態となる。

【0004】 一方、書き込まれたデータ「0」を消去する場合には図8に示すようにドレインを開放状態としてゲートをグラウンドGNDに接続し、ソースには前記高電圧V_{pp}を印加してフローティングゲートの電子を放く。このような動作によりデータ「0」が消去されたセルトランジスタCでは図7に示す特性曲線D1で動作し、コントロールゲートに1/0判定電圧V_{0/1}が入力されるとオン状態となり、データ「1」が格納されたことになる。

【0005】 このようなセルトランジスタを使用して構成されるセルアレイの一例を図6に従って説明すると、行方向に並設された多数のセルトランジスタCのコントロールゲートには例えばセルトランジスタC11~C1iにはワード線WL1というように共通のワード線WL_aが接続され、列方向に並設された多数のセルトランジスタCのドレインには共通のビット線BL_aが接続され、各セルトランジスタCのソースはグラウンドGNDに接続される。なお、各ビット線BL1~BLjには各セルトランジスタにデータが書き込まれているか否かにより電位が確定されるように例えば負荷抵抗R21~R2jを介して電源V_{cc}を印加する。

【0006】 従って、多数のワード線WL1~WLj及びビット線BL1~BLjの中からそれぞれ1本ずつが選択されると、選択されたワード線WL_a及びビット線BL_aが交差する位置のセルトランジスタCanが選択され、そのセルトランジスタCanに前記データ「0」が格納されていたれば同セルトランジスタCanがオフされて選択されたビット線がHレベルとなる。また、選択されたセルトランジスタCanにデータ「1」が格納されていたれば

ば、同セルトランジスタC_{an}がオンされて選択されたビット線B_{Ln}がLレベルとなり、このようなビット線電位がセル情報としてセンスアンプで読み出される。

【0007】

【発明が解決しようとする課題】上記のようなセルトランジスタCではデータ「0」の消去動作時にフローティングゲートから電子を抜き過ぎて過剰消去状態となると、同セルトランジスタCは例えば図7に示す特性曲線D₁₀で動作してしきい値電圧が負になるため、常時オン状態となる。従って、このようなセルトランジスタCが発生すると、そのセルトランジスタに接続されたビット線B_Lの電位は常にLレベルとなって当該ビット線B_Lに接続された他のセルトランジスタを選択してもそのセル情報を読み出すことができなくなって読出し不良が発生するという問題点がある。

【0008】そこで、このような不具合を解決するために電氣的消去と読出しを繰り返し行なって、消去されたセルトランジスタのしきい値が負にならないように監視しながらしきい値が一定の値になるまでこの動作を繰り返すような消去方法も提案されているが、消去時間にか
20 かなりの時間を必要とするとともにこの動作を制御するCPUがバスを占有するため、システムの動作速度を低下させるという問題点がある。

【0009】この発明の目的は、フローティングゲートを有する二重ゲート構造のトンネル消去—アバランシュ書き込み型のセルトランジスタでセルアレイが構成される不揮発性半導体記憶装置でセルトランジスタが過剰消去されても読出し不良を発生させることのない不揮発性半導体記憶装置を提供するにある。

【0010】

【課題を解決するための手段】図1は本発明の原理説明図である。すなわち、電氣的に消去及び書き換え可能な不揮発性セルトランジスタC_{ij}を行方向及び列方向に多数並設して構成するセルアレイ1は、行方向に並設されたセルトランジスタC_{aj}には共通のワード線W_{Lj}がそれぞれ接続され、列方向に並設されたセルトランジスタC_{in}には共通のビット線B_{Ln}が接続され、ワード線W_{Lj}及びビット線B_{Ln}を選択することによりセルトランジスタC_{an}を選択してセル情報の書き込みあるいは読出しが行われる。そして、行方向に並設されたセルトランジスタC_{aj}の各ソースには選択された該セルトランジスタC_{aj}を活性化可能とする共通の第一の選択素子E_{1j}が接続され、該第一の選択素子E_{1j}には当該行を選択するワード線W_{Lj}の選択と同期した第一の選択信号S_{G1j}により該第一の選択素子E_{1j}をオン動作させ、セルトランジスタC_{aj}のドレインを電源V_{s1}と電氣的に接続させる構成とした。

【0011】また、図2に示すように行方向に並設されたセルトランジスタC_{aj}の各ソースには前記第一の選択素子E_{1j}のオフ動作時に該セルトランジスタC_{aj}を非
30

活性化する電源V_{s2}が抵抗R_{1j}を介して供給される構成とした。また、図4に示すように行方向に並設されたセルトランジスタC_{aj}の各ソースには前記第一の選択素子E_{1j}のオフ動作時に該セルトランジスタC_{aj}を非活性化する電源V_{s2}が第二の選択素子E_{2j}を介して供給され、該第二の選択素子E_{2j}のゲートには前記第一の選択信号S_{G1j}と同期する第二の選択信号S_{G2j}が入力される構成とした。

【0012】

【作用】m番目のワード線W_{Lm}を選択すると、当該ワード線W_{Lm}に対応する第一の選択素子E_{1m}のオン動作により選択されたワード線W_{Lm}に接続されたセルトランジスタC_{aj}だけが活性化可能となる。従って、この状態でn番目のビット線B_{Ln}を選択すると選択されたセルトランジスタC_{an}のセル情報だけがビット線B_{Ln}に読み出される。

【0013】また、ワード線W_{Lj}の非選択時には当該ワード線に対応する第一の選択素子E_{1j}がオフされ、その第一の選択素子E_{1j}のオフ動作時には抵抗R_{1j}あるいは第二の選択素子E_{2j}により当該ワード線W_{Lj}に接続されたセルトランジスタC_{aj}の各ソースに電源V_{s2}が供給されて、該セルトランジスタC_{aj}が確実に不
40 活性化される。

【0014】

【実施例】以下、この発明を具体化した第一の実施例を図2及び図3に従って説明する。図2に示すセルアレイ1aは前記従来例と同様に行方向に1行、列方向に1列のセルトランジスタC₁₁～C_{1j}で構成され、各行のセルトランジスタのコントロールゲートはワード線W_{L1}～W_{Lj}にそれぞれ接続され、各列のセルトランジスタのドレインはビット線B_{L1}～B_{Lj}にそれぞれ接続されている。

【0015】各行のセルトランジスタのソースは第一の選択素子としての共通のNチャネルMOSトランジスタE₁₁～E_{1j}のドレインに接続されるとともに抵抗R₁₁～R_{1j}を介して電源V_{s2}が供給されている。そして、各トランジスタE₁₁～E_{1j}のゲートには対応するワード線W_{L1}～W_{Lj}の選択と同期した第一の選択信号S_{G11}～S_{G1j}が入力され、ソースは電源V_{s1}すなわちこの実施例ではグランドに接続されている。

【0016】さて、このようなセルアレイ1aでは例えばワード線W_{L1}が選択されるとセルトランジスタC₁₁～C_{1j}のコントロールゲートにセル選択信号が入力される。この時、トランジスタE₁₁～E_{1j}の中からトランジスタE₁₁のゲートだけに選択信号S_{G11}が同期して入力されれば同トランジスタE₁₁がオンされ、各セルトランジスタC₁₁～C_{1j}のソースがグランドレベルまで低下する。この状態で例えばビット線B_{L1}が選択されるとセルトランジスタC₁₁が選択されてそのセル情報がビット線B_{L1}に読み出され、セルトランジスタC
50

5
11にデータ「0」が書き込まれていれば同セルトランジスタC11がオフされてビット線BL1はHレベルとなり、データ「1」が書き込まれている場合には同セルトランジスタC11がオンされてビット線BL1はLレベルとなる。そして、トランジスタE11以外はオンされていないので、ビット線BL1に接続される他のセルトランジスタC21~C11のいずれかが過剰消去されて常時オン状態となっても同セルトランジスタC21~C11のソースはグラウンドに接続されていないので、セルトランジスタC11のセル情報の読出しに影響を及ぼすことはない。

【0017】従って、このセルアレイ1aでは各セルトランジスタC11~C11のいずれかが過剰消去状態であっても、選択されたセルトランジスタのセル情報を性格に読み出すことができる。上記のようなセルアレイ1aは例えば図3に示す周辺回路に基づいてデータ書き込み及び読出し動作と書き込みデータの消去動作とが行われ、次にその動作を説明する。なお、図3においては説明を簡略化するためにアドレス信号の入力端子はワード線の選択信号入力端子A0とビット線の選択信号入力端子A1の2端子のみを記載し、2a~2gはAND回路、Tr1~Tr6はNチャネルMOSトランジスタ、3aはインバータである。また、セルアレイ1aの端子VslはグラウンドGNDに接続され、セルアレイ1a内で前記トランジスタE11~E11のソースに接続されている。AND回路2b、2cはセルトランジスタへのデータ書き込み時には高電圧Vppを出力し、AND回路2f、2gはデータ消去時に高電圧Vppを出力する。

【0018】さて、読出し動作時には図3においてイレース信号バーE及びライト信号バーWはそれぞれHレベルが入力される。すると、AND回路2aの出力信号はHレベルとなってトランジスタTr2はオンされ、インバータ3aの出力信号はLレベルとなってトランジスタTr1はオフされてセルアレイ1aの電源供給端子Vs2に前記0/1判定電圧に等しいバイアス電圧Bが供給される。ここで例えばアドレス信号A0がHレベルとなるとAND回路2bの出力信号がHレベルとなるとともにAND回路2cの出力信号はLレベルとなり、ワード線WL1が選択されてHレベルとなると同時にセルアレイ1a内の前記トランジスタE11のゲートにHレベルの選択信号SG11が入力される。

【0019】一方、アドレス信号A1がHレベルとなるとAND回路2dの出力信号がHレベルとなるとともにAND回路2eの出力信号はLレベルとなり、この結果トランジスタTr3がオンされることによりビット線BL1が選択されてセンスアンプ4に接続され、選択されたセルトランジスタのセル情報がセンスアンプ4で増幅されて出力信号Doutとして出力される。従って、アドレス信号A0、A1に基づいて選択されたセルトランジスタのセル情報が読出し可能となる。

【0020】また、書き込み動作時にはイレース信号バーEはHレベル、ライト信号バーWはLレベルが入力される。すると、AND回路2a及びインバータ3aの出力信号はともにLレベルとなってトランジスタTr1、Tr2はオフされるため、セルアレイ1aの電源電圧供給端子には電源が供給されない。この状態で例えばアドレス信号A0がHレベルとなるとAND回路2bから書き込み用の高電圧電源Vppがワード線WL1及びトランジスタE11のゲートに出力され、ワード線WL1に接続されたセルトランジスタC11~C11のコントロールゲートには電源電圧Vppが印加され、ソースはグラウンドGNDに接続された状態となる。

【0021】AND回路2d、2eはLレベルのライト信号バーWによりその出力信号がともにLレベルとなる。Hレベルの入力データDiaが入力されるとアドレス信号A1に基づいてAND回路2f、2gのいずれか一方がHレベル、他方がLレベルとなり、トランジスタTr5、もしくは同Tr6を介してビット線BL1、BL2のいずれかに電源電圧Vppが供給される。従って、選択されたセルトランジスタはコントロールゲート及びドレインに電源Vppが供給され、ソースはグラウンドGNDに接続されることにより書き込み動作が行われる。なお、この時センスアンプ4は入力信号として電源電圧Vccが抵抗R2を介して入力されるため、出力信号はHレベルに固定された状態となる。

【0022】また、消去動作時にはイレース信号バーEがLレベルとなる。すると、AND回路2aの出力信号はLレベル、インバータ3aの出力信号はHレベルとなるため、セルアレイ1の電源電圧供給端子Vs2には高電圧電源Vppが供給される。AND回路2b~2gの出力信号はアドレス信号A0、A1及び入力データDiaに関わらずLレベルとなり、トランジスタTr3~Tr6はオフ状態となる。従って、セルアレイ1内の各セルトランジスタのドレインはオープン状態となり、コントロールゲートにはLレベルが入力され、ソースには高電圧電源Vppが入力されて各セルトランジスタにおいて同時に消去動作が行われる。

【0023】次に、この発明を具体化した第二の実施例を図4及び図5に従って説明する。図4に示すセルアレイ1bは前記実施例のセルアレイ1aの抵抗R11~R11を第二の選択素子としてのPチャネルMOSトランジスタE21~E21置き換えたものであり、同トランジスタE21~E21のゲートには選択信号SG21~SG22が入力され、図5に示す周辺回路で各動作が行われる。なお、図5においてTr7、Tr8はNチャネルMOSトランジスタ、2h~2iはAND回路、5a、5bはOR回路、3bはインバータ、6aはNAND回路であり、セルアレイ1bの端子Vs2には前記バイアス電圧Bが常時供給され、セルアレイ1b内でトランジスタE21~E21のソースに同バイアス電圧Bが供給され

ている。

【0024】このような構成により、読出し動作時にイレース信号バーE及びライト信号バーWがHレベルとなると、トランジスタT7はオフされるとともにトランジスタT8はオンされてセルアレイ1bの端子VslにはグラウンドGNDのレベルが供給され、セルアレイ1b内で各トランジスタE11～E1iのソースはグラウンド電位となる。また、NAND回路6aはLレベルの信号を出力するためセルアレイ1b内でトランジスタE21～E2iはオンされ、各セルトランジスタのソースにはバイ

【0025】この状態で例えばアドレス信号A0、A1がHレベルとなるとAND回路2h及びOR回路5aの出力信号はHレベルとなるとともにAND回路2i及びOR回路5bの出力信号はLレベルとなるため、ワード線WL1が選択されるとともに、ワード線WL1に対応するトランジスタE11に選択信号SG11が入力されてオンされる。この結果セルトランジスタC11～C1jが活性化されるとともにトランジスタE11がオンされて各セルトランジスタC11～C1jのソースはグラウンドレベルとなる。また、AND回路2dの出力信号はHレベル、AND回路2e～2gの出力信号はLレベルとなってトランジスタT3がオンされることによりビット線BL1が選択されてセルトランジスタC11が選択され、同セルトランジスタC11のセル情報がビット線BL1を介して読み出され、センスアンプで増幅されて出力信号Doutとして出力される。

【0026】この時、ビット線BL1に接続される他のセルトランジスタC21～C1iのいずれかが過剰消去状態であってもトランジスタE12～E1iはオフ状態となるので、セルトランジスタC11のセル情報の読出しに影響することはない。同様にしてアドレス信号に基づいて他のセルトランジスタのセル情報が読み出される。一方、消去動作時にはイレース信号バーEがLレベルとなるため、トランジスタT7がオンされてセルアレイ1bの端子Vslには高電圧電源Vppが供給され、各OR回路5a、5bの出力信号がHレベルとなるとともにAND回路2h、2i、2d、2e、2f、2gの出力信号は全てLレベルとなる。この結果、セルアレイ1b内で各セルトランジスタに消去動作が行われる。

【0027】また、書き込み動作時にはイレース信号バーEはHレベル、ライト信号バーWはLレベルとなるた

め、セルアレイの端子Vslにはグラウンド電位が供給され、アドレス信号A1でいずれかのワード線が選択されるとともにアドレス信号A0でいずれかのビット線が選択され、入力データDinがHレベルとなると選択されたビット線に高電圧電源Vppが供給される。この結果、セルアレイ1b内では選択されたセルトランジスタのドレイン及びゲートに高電圧電源Vppが供給され、ソースにグラウンド電位が供給されて書き込み動作が行われる。

【0028】

10 【発明の効果】以上詳述したように、この発明はフローティングゲートを有する二重ゲート構造のトンネル消去型のセルトランジスタでセルアレイが構成される不揮発性半導体記憶装置で、セルトランジスタが過剰消去されても読出し不良の発生を未然に防止することができる優れた効果を発揮する。

【図面の簡単な説明】

【図1】本発明の請求項1の原理説明図である。

【図2】本発明の請求項2の原理説明図である。

20 【図3】請求項2のセルアレイを使用した半導体記憶装置の主要部を示す回路図である。

【図4】本発明の請求項3の原理説明図である。

【図5】請求項3のセルアレイを使用した半導体記憶装置の主要部を示す回路図である。

【図6】セルアレイの従来例を示す回路図である。

【図7】トンネル消去型EEPROMのセルトランジスタの特性図である。

【図8】データ消去時のセルトランジスタへの電圧印加状態を示す説明図である。

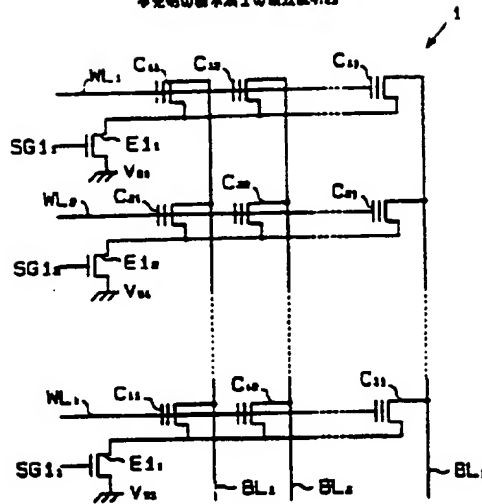
30 【図9】データ書き込み時のセルトランジスタへの電圧印加状態を示す説明図である。

【符号の説明】

1 セルアレイ
C セルトランジスタ
WL ワード線
BL ビット線
E1 第一の選択素子
E2 第二の選択素子
SG1 第一の選択信号
SG2 第二の選択信号
40 R1 抵抗
電源 Vsl

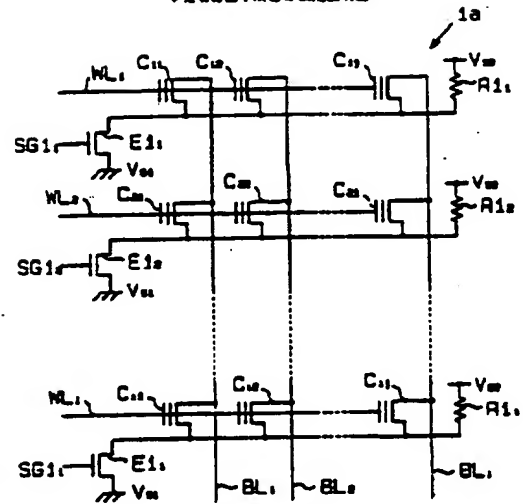
【図1】

本発明の図本第1の回路図

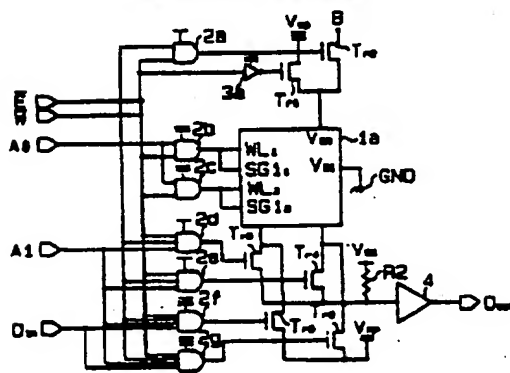


【図2】

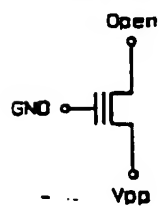
本発明の図本第2の回路図



【図3】

図本第2のセルアレイを使用した
半導体記憶装置の主回路を示す回路図

【図8】

データ読み出しのセルアレイスタへの
電圧印加状態を示す回路図

【図4】

図本第3の回路図

